

АППАРАТНЫЙ БЛОК СОПРЯЖЕНИЯ ЦИФРОВЫХ КАНАЛОВ ПЕРЕДАЧИ ДАННЫХ С ПЭВМ

HARDWARE UNIT FOR PAIRING DIGITAL DATA CHANNELS WITH PC

**A. Martyshkin
A. Vorontsov**

Summary. The article describes the principles and algorithms of operation of the digital devices module, designed to interface PC via PCI Express bus with systems and devices via digital data channels. The module registers will be accessed via a 32-bit PCI Express bus. The described device can be implemented using XILINX xc6slx4 FPGA. The field of application of the digital devices module, designed to interface PC via PCI Express bus with systems and devices via digital data channels are data flow processing systems. Development can be used as a universal tool in the simulation, research and debugging of various devices. In conclusion, the main conclusions were made on the work done.

Keywords: hardware unit, interface, controller, microcontroller, chip, FPGA, control machine, function diagram, digital data channel, bus.

Мартышкин Алексей Иванович

*К.т.н., доцент, Пензенский государственный
технологический университет
alexey314@yandex.ru*

Воронцов Александр Анатольевич

*К.т.н., доцент, Пензенский государственный
технологический университет
aleksander.vorontsov@gmail.com*

Аннотация. В статье описываются принципы и алгоритмы функционирования модуля цифровых устройств, предназначенного для сопряжения ПЭВМ через шину PCI Express с системами и устройствами по цифровым каналам передачи данных. Доступ к регистрам модуля будет осуществляться через 32-разрядную шину PCI Express. Описанное устройство возможно реализовать с использованием ПЛИС XC6SLX4 фирмы Xilinx. Областью применения модуля цифровых устройств, предназначенного для сопряжения ПЭВМ через шину PCI Express с системами и устройствами по цифровым каналам передачи данных являются системы обработки потоков данных. Разработка может быть использована в качестве универсального средства при имитации, исследовании и отладке различных устройств. В заключение были сделаны основные выводы по проделанной работе.

Ключевые слова: аппаратный блок, интерфейс, контроллер, микроконтроллер, микросхема, ПЛИС, управляющий автомат, функциональная схема, цифровой канал передачи данных, шина.

Введение

Основной задачей, поставленной в настоящей статье, является разработка принципов и алгоритмов функционирования модуля цифровых устройств, предназначенного для сопряжения ПЭВМ через шину PCI Express с системами и устройствами по цифровым каналам передачи данных.

Доступ к регистрам модуля осуществляется через 32-разрядную шину PCI Express. Описываемый модуль должен иметь следующие характеристики:

- ◆ 16 ТТЛ входов;
- ◆ 16 ТТЛ выходов;
- ◆ 16 входов типа «ключ на корпус»;
- ◆ 16 выходов типа «ключ на корпус»;
- ◆ 8 входов ТТЛ запросов на прерывание;
- ◆ 8 входов типа «ключ на корпус», запросов на прерывание;
- ◆ контроллер шины PCI Express в ПЭВМ должен обеспечивать поддержку протокола версии 3.0.

В статье требуется описать функционал устройства для сопряжения ПЭВМ через шину PCI Express с систе-

мами и устройствами по цифровым каналам передачи данных. Известны некоторые варианты выбора активного элемента для реализации рассматриваемого устройства, от которого напрямую зависит процесс разработки в дальнейшем.

Первый вариант — выбор микроконтроллера (МК) в качестве активного элемента (рисунок 1).

На рисунке 1 для организации взаимодействия через шину PCI Express применяется контроллер PCI Express, обеспечивающий поддержку протокола версии 3.0. Необходимость применения внешнего контроллера обусловлена тем, что у МК отсутствует встроенный контроллер для данной шины, т.к. является достаточно сложным устройством.

Для обеспечения необходимого числа цифровых каналов передачи данных контроллер должен иметь не менее 32 линий ввода-вывода и иметь возможность обслуживать прерывания по событиям [5, 8].

Для сравнения выберем несколько семейств МК и сравним их по характеристикам.

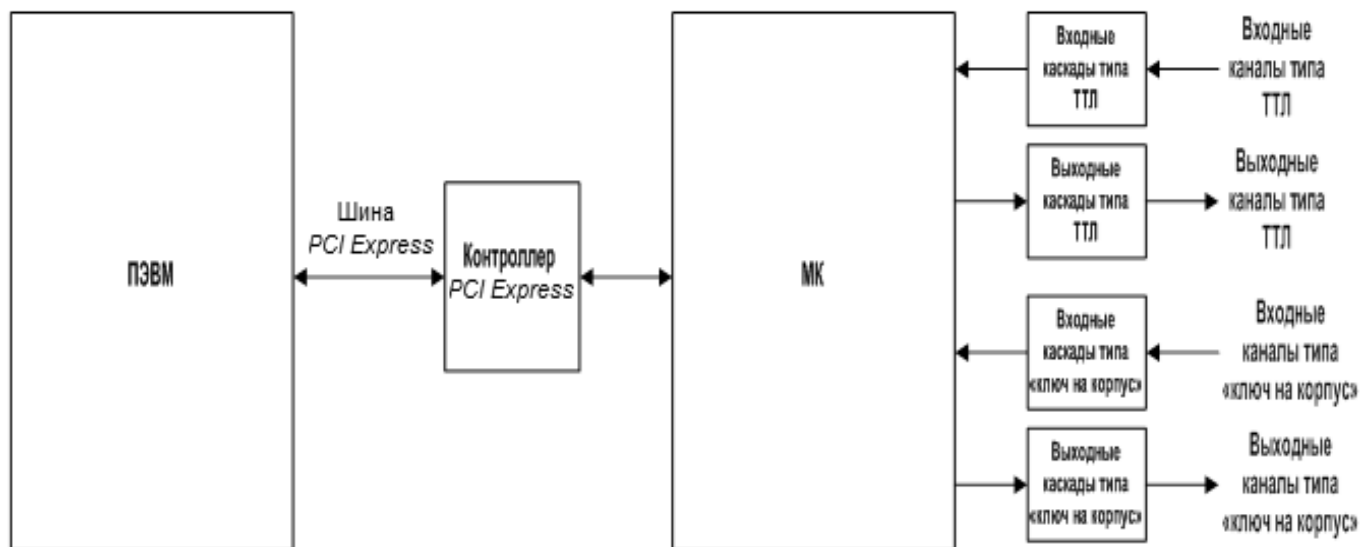


Рис. 1. Реализация устройства на МК

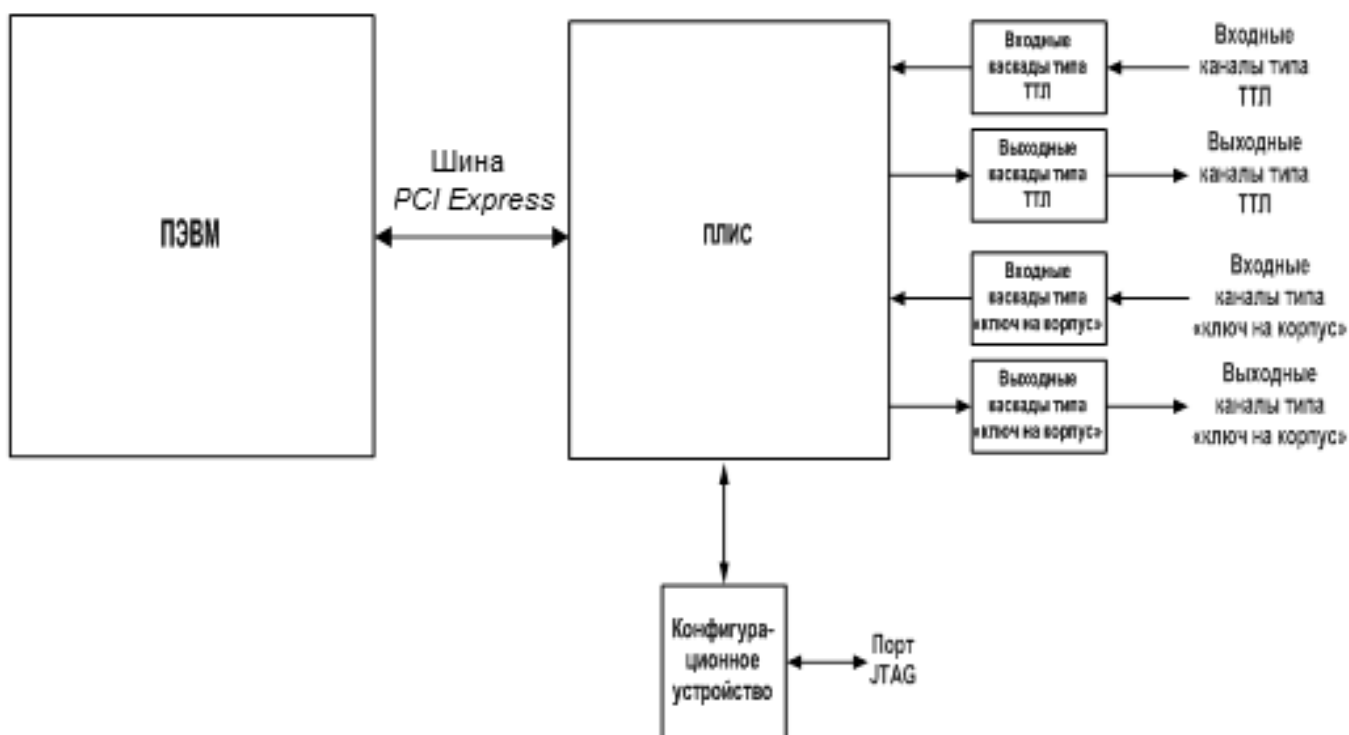


Рис. 2. Реализация устройства на ПЛИС

1. STMicroelectronics STM32 серии F3–32-разрядный ARM Cortex МК с DSP и FPU инструкциями. Основные особенности: тактовая частота до 72МГц; до 17 таймеров; 12 каналов DMA контроллера; до 12 интерфейсов; до 87 линий ввода-вывода; напряжение питания от 1,8 до 3.6 В. STM32 F3 включает в себя от 64 до 256 Кб Flash, до 48 Кб

SRAM, и доступен в корпусах WLCSP66(менее 4.3 x 4.3 mm), LQPF48, LQFP64, LQFP100 и UFBGA100.

2. XMEGA — семейство экономичных, высокопроизводительных и с обширным набором встроенных устройств ввода-вывода (УВВ) 8/16-битных КМОП МК, выполненных по улучшенной RISC-архитектуре AVR. Основные особенности: Flash-память

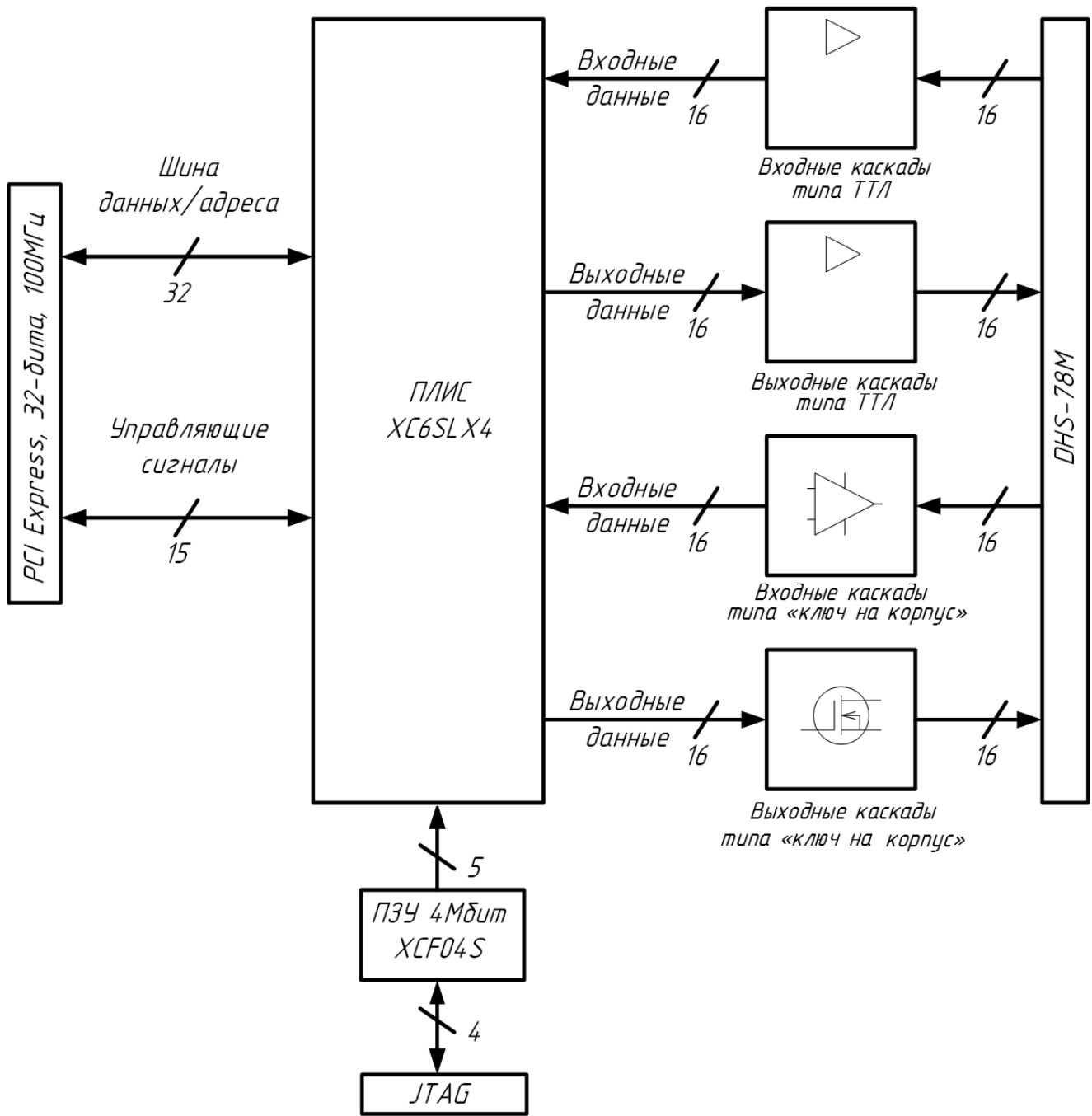


Рис. 3. Электрическая функциональная схема устройства

объемом от 16 до 1024 килобайт; число линий ввода-вывода 32; DMA-контроллер; тактовая частота до 32МГц; корпус QFP с количеством выводов от 44 до 100; напряжение питания от 1,6 до 3,6 В.

Следует отметить, что работа с цифровыми каналам передачи данных требует большого быстродействия от МК для своевременной реакции на множество внешних прерываний, приходящих по данным каналам. Для

этого у обоих МК есть возможность задействовать каналы прямого доступа к памяти.

Кроме описанной выше возможности реализации системы на МК рассмотрим возможность построения системы с использованием ПЛИС как активного элемента (рисунок 2) [2, 3].

Здесь количество функциональных блоков сократилось, т.к. контроллер PCI Express реализуется непосред-

ственно в ПЛИС, тем самым упрощая схему устройства. Для реализации сопряжения ПЭВМ через шину PCI Express с системами и устройствами по цифровым каналам передачи данных используется ПЛИС семейства Spartan-6 фирмы Xilinx. В настоящее время ПЛИС семейства Spartan-6 изготавливаются по технологии 45 нм [8].

Контроллер шины PCI Express полностью реализуется на ПЛИС без применения, каких-либо внешних дополнительных микросхем.

Устройство необходимо для сопряжения с ПЭВМ входных и выходных каналов типа ТТЛ, входных и выходных каналов типа «ключ на корпус». Каждый из каналов реализован с использованием специального буферного каскада. ПЛИС в проекте применяется для осуществления взаимодействия контроллера и ПЭВМ через шину PCI Express [4]. Питание, сброс и тактирование всей системы полностью осуществляется от слота PCI Express.

Для управления и отладки устройства и обеспечения связи с ПЭВМ нужно применить микросхему типа FPGA, где реализовать контроллер цифровых каналов передачи данных. Разрабатываемое устройство при взаимодействии с ПЭВМ является ведомым, поэтому контроллер PCI Express должен быть реализован с возможностью использования механизма прерываний по событиям отправки и приёма пакетов данных. Устройство должно быть рассчитано на подключение к ПЭВМ по шине PCI Express со следующими параметрами:

- ◆ разрядность шины — 32;
- ◆ частота шины — 100 МГц;
- ◆ уровни сигналов в шине — соответствуют напряжению питания 3,3 В.

На основе данных рассуждений мы получаем функциональную схему, приведенную на рисунке 3.

При работе с микросхемами программируемой логики основным инструментом является САПР. Предлагаемая фирмой Xilinx САПР ISE (Integrated Software Environment) Design Suite 12 предоставляет полную мультиплатформенную среду проектирования, которая может быть легко перенастроена под конкретные требования. Программное обеспечение ISE Design Suite 12 включает в себя средства для всех фаз проектирования с применением ПЛИС как FPGA, так и CPLD структур. Программное обеспечение поддерживает все этапы проектирования: ввод проекта, компиляция, верификация и программирование [1, 6]. Среди множества поддерживаемых микросхем ПЛИС в САПР ISE Design Suite 12, использовавшейся для реализации данного проекта, заявлена поддержка семейства Spartan-6. В качестве основного способа ввода описания проектируемой схемы на ПЛИС использовался язык VHDL-1993 [1, 5].

Разработка проекта осуществлялась на языке VHDL. Схемный редактор и редактор автоматов не применялись. Проект разбит на составляющие модули [7]. Имеется основной модуль (gen_mod.vhd), к порту которого привязываются соответствующие выводы ПЛИС. К нему же подключаются второстепенные модули:

- ◆ pci32tlite.vhd. Модуль, отвечающий за взаимодействие с шиной PCI Express. Преобразует интерфейс PCI Express к удобному виду для применения в канальной части.
- ◆ wb.vhd. Связующий модуль контроллера PCI Express и контроллера цифровых каналов передачи данных.

В проекте реализован необходимый минимум для функционирования PCI Express интерфейса. Шина данных/адреса имеет разрядность — 32 бита. Каждая транзакция состоит из одной фазы адреса и нескольких фаз данных (может быть и одна фаза данных). Предлагаемые по спецификации необязательные сигналы не используются. Интерфейс PCI Express выполнен для целевого устройства.

Модуль PCI Express в свою очередь разбит на составные части:

- ◆ главный модуль PCI части (pci32tlite.vhd);
- ◆ управляющий автомат (pciwbsequ.vhd);
- ◆ модуль декодирования адреса и команды (pcidec.vhd);
- ◆ модуль мультиплексирования шины данных/адреса (pcidmux.vhd);
- ◆ модуль конфигурационного пространства (pciregs.vhd);
- ◆ модуль контроля по четности (pcipargen.vhd);
- ◆ библиотека вспомогательных компонентов (onalib.vhd).

1) Главный модуль PCI Express части (pci32tlite.vhd) имеет порт PCI Express и содержит компоненты второстепенных модулей.

2) Управляющий автомат (pciwbsequ.vhd) содержит 7 состояний. Первое — PCIIDLE. В этом состоянии автомат пребывает в ожидании очередной транзакции. Приход активного уровня сигнала FRAME свидетельствует о начале транзакции и осуществляется переход в следующее состояние В_BUSY. В результате прихода следующего такта CLK автомат переходит либо на завершение транзакции TURN_ARE (адрес не распознан), либо в состояние обмена информацией S_DATA1 (адрес распознан). В состоянии S_DATA1 автомат ожидает ответа от канальной части, либо завершение транзакции со стороны PCI Express. В результате положительного ответа от канала осуществляется переход в S_DATA2 и затем в TURN_ARL (ожидание завершения транзакции или очередного об-

Таблица 1. Структура конфигурационного пространства

Регистры	AD[7.2]	Смещение	Байт	Размер	Значение (hex)
VENDORID	000000 (r)	00	1/0	2	4D41
DEVICEID	000000 (r)	02	3/2	2	1401
COMMAND	000001 (r/w)	04	1/0	2	0000
STATUS	000001 (r/w)	06	3/2	2	0000
REVISIONID	000010 (r)	08	0	1	00
CLASSCODE	000010 (r)	09	3/2/1	3	0068000
HEADERTYPE	000011 (r)	0E	2	1	00
BAR0	000100 (r/w)	10	3/2/1/0	4	00000000
SUBSYSTEMID	001011 (r)	2C	1/0	2	0000
SUBSYSTEMVID	001011 (r)	2E	1/0	2	1172
INTLINE	001111 (r/w)	3C	0	1	00
INTPIN	001111 (r)	3D	1	1	01

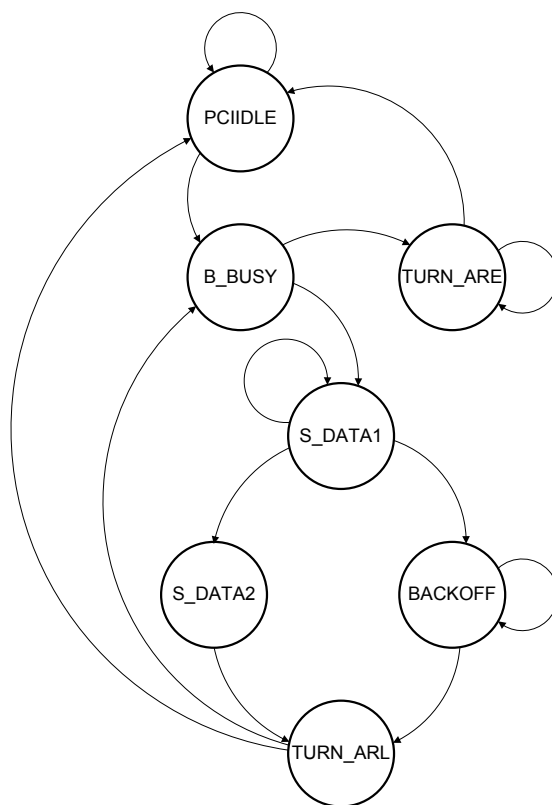


Рис. 4. Конечный автомат управления PCI Express

мена). Если по какой-то причине канал запросил повтор операции (ошибка), то выставляется сигнал STOP и в состоянии BACKOFF ожидается установка FRAME в неактивное состояние, затем переходим в TURN_ARL. В модуле управляющего автомата (рисунок 4) также формируются сигналы для взаимодействия с канальной частью, такие как обозначение транзакции, строб записи, сигнал чтение/запись.

3) Модуль декодирования адреса и команды (pcides.vhd). Основное назначение — формирование управляющих сигналов `adrmem_o` (обращение к пространству ввода/вывода) и `adrcfg_o` (обращение к конфигурационному пространству). Условием появления активного уровня сигнала `adrcfg_o` является установленный в активное состояние сигнал `IDSEL`, нулевое значение двух младших бит адреса и команда на шине CBE — `Ah` или

Таблица 2. Структура конфигурационного пространства

Название регистра	См.	Назначение	Режим доступа
RDIK	+0	Регистр входных каналов типа «ключ на корпус» (с 1 по 16)	ЧТ
RDIT	+2	Регистр входных каналов типа ТТЛ (с 1 по 16)	ЧТ
RID	+4	Регистр кода идентификатора модуля	ЧТ (0001h)
RINT	+6	Регистр флагов прерываний регистр входных каналов типа «ключ на корпус» (с 1 по 8) и входных каналов типа ТТЛ (с 1 по 8)	ЧТ
RDOK	+0	Регистр выходных каналов типа «ключ на корпус» (с 1 по 16)	ЗП
RDOT	+2	Регистр выходных каналов типа ТТЛ (с 1 по 16)	ЗП
RMOD	+4	Регистр задания условия формирования прерываний	ЗП
RM	+6	Регистр разрешения формирования прерывания	ЗП

Vh (работа с конфигурацией). С определением работы с пространством ввода/вывода немного сложнее. При загрузке ПК BIOS записывает базовый адрес конфигурационного пространства и устанавливает бит разрешения работы с пространством ввода/вывода. Поэтому, согласно выбранному формату базового адреса, выполняется сравнение базового адреса, проверка бита разрешения и определение наличия команды 2h или 3h на шине CB/E.

4) Модуль мультиплексирования шины данных/адреса (pcidmux.vhd) предназначен для управления шиной адреса/данных. В зависимости от управляющих сигналов, сформированных в других модулях, определяется направление работы шины и выдаваемая информация (из конфигурационного пространства или пространства ввода/вывода).

5) Модуль конфигурационного пространства (pciregs.vhd) предназначен для хранения конфигурации, ее записи и чтения. Приведем структуру конфигурационного пространства. Подробнее о назначении регистров конфигурационного пространства смотреть в спецификации на PCI Express. Эта структура отражена в таблице 1.

6) Модуль контроля по четности (pcipargen.vhd). Контроль по четности на PCI Express обеспечивает механизм определения успешного выполнения транзакции. Чтобы гарантировать, что на шине выполняется нужная операция, четыре бита команды включаются в вычисление четности. Чтобы гарантировать, что передаются верные данные, допускается также включение 4 байтов AD[31::00] в вычисление четности. Устройство, ответственное за шину AD[31::00] на любой фазе, также ответственно за выдачу сигнала PAR. Четность вычисляется путем «исключающего ИЛИ» всех разрядов шины данных и команды.

Доступ к регистрам модуля осуществляется через 16-разрядные порты ввода-вывода шины PCI Express,

в таблице 2 приведены форматы данных и смещение адресов регистров модуля.

При чтении регистра кода идентификатора модуля (RID) осуществляется программный сброс модуля. Все регистры записи модуля сбрасываются по сигналу сброса шины PCI Express и по программному сбросу модуля.

Регистр флагов прерываний модуля (RINT), сбрасывается при чтении и по программному сбросу модуля. При вызове прерывания PCI Express модуля в программе обработки обязательно необходимо выполнять чтение RINT.

Регистр RMOD даёт возможность выбрать условие, при котором формируется флаг прерывания при переходе сигнала в логическую «1» или «0».

Заключение

В статье предложены принципы и алгоритмы функционирования модуля цифровых устройств, предназначенного для сопряжения ПЭВМ через шину PCI Express с системами и устройствами по цифровым каналам передачи данных.

Описанное устройство возможно реализовать с использованием ПЛИС XC6SLX4 фирмы Xilinx. Доступ к регистрам модуля будет осуществляться через 32-разрядную шину PCI Express.

Областью применения модуля цифровых устройств, предназначенного для сопряжения ПЭВМ через шину PCI Express с системами и устройствами по цифровым каналам передачи данных являются системы обработки потоков данных. Разработка может быть использована в качестве универсального средства при имитации, исследовании и отладке различных устройств.

ЛИТЕРАТУРА

1. Бибило П. Н. Основы языка VHDL: Москва, СОЛОН-Р, 2002. — 224 с.
2. Мартышкин А. И., Бикташев Р. А., Востоков Н. Г. Математическое моделирование диспетчеров задач для систем параллельной обработки на основе разомкнутых систем массового обслуживания // В мире научных открытий. — 2013. — № 6–1 (42). — С. 81–101.
3. Мартышкин А. И. Математическое моделирование аппаратного буфера памяти многопроцессорной системы // Оптико-электронные приборы и устройства в системах распознавания образов, обработки изображений и символьной информации: сборник материалов XII Международной научно-технической конференции. — 2015. — С. 247–249.
4. Петров С. Шины PCI, PCI Express. Архитектура, дизайн, принципы функционирования. Серия: Аппаратные средства, БХВ-Петербург, 2006. — 416 с.
5. Поляков А. К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры: Москва, СОЛОН-Пресс, 2003. — 320 с.
6. Свидетельство о государственной регистрации программы для ЭВМ № 2013611117. Программный комплекс для расчета вероятностно-временных характеристик стохастических сетей массового обслуживания. Правообладатель: ФГБОУ ВПО «Пензенская государственная технологическая академия». Авторы: Мартышкин А. И., Бикташев Р. А. Заявка № 2012660617. Дата поступления 5 декабря 2012 г. Зарегистрировано в Реестре программ для ЭВМ 9 января 2013 г.
7. Суворова Е. А., Шейнин Ю. Е. Проектирование цифровых систем на VHDL. БХВ-Петербург, 2003. — 576 с.
8. http://www.rssp.ru/upload/iblock/aa3/05_Semejstvo_Spartan.pdf (Дата обращения 12.10.2019).

© Мартышкин Алексей Иванович (alexey314@yandex.ru), Воронцов Александр Анатольевич (aleksander.vorontsov@gmail.com).

Журнал «Современная наука: актуальные проблемы теории и практики»



Г. Пенза