

# МНОГОЯДЕРНЫЕ СТРУКТУРЫ ДЛЯ ПАРАЛЛЕЛЬНЫХ ВЫЧИСЛЕНИЙ УПРАВЛЯЮЩИХ ВОЗДЕЙСТВИЙ ЦИФРОВОГО РЕГУЛЯТОРА

*Захарова Ольга Владимировна*  
К.т.н., с.н.с.,  
Приокский государственный  
университет, г. Орел

## MULTI-CORE STRUCTURE FOR PARALLEL COMPUTATION OF CONTROL ACTIONS IN A DIGITAL CONTROLLER

*O. Zakharova*

### Annotation

In the last five years on the market of chips marked growth of multi-core digital signal controllers. The author notes the lack of methods and algorithms of digital regulation, focused on the use in multi-core digital signal controllers. The article shows the parallel algorithms for the digital PID controller with verification for multi-core digital signal controllers. The article presents the multi-core structure for the PID controller. The paper shows the effectiveness of parallel computing for the digital PID controller.

**Keywords:** digital governor, PID controller, multi-core processor, digital signal processor, control action, parallel computing.

### Аннотация

Отмечена динамика изменения выпускаемых гибридных сигнальных процессоров: от гибридных сигнальных процессоров с одним сигнальным и одним универсальным процессором до гибридных сигнальных процессоров с несколькими ядрами сигнальных и универсальных процессоров. Отмечено отсутствие методов и алгоритмов цифрового регулирования, структурно ориентированных на использование в многоядерных структурах. Предложена идея формирования управляющего воздействия из методов вычисления, обеспечивающих наименьшее рассогласование на каждом шаге формирования управляющего воздействия, что представлено предложенными параллельными алгоритмами цифрового ПИД регулирования с верификацией в такте превентивной оценки реакции объекта управления и логически многоядерными структурами, ориентированными на использование в многоядерных гибридных сигнальных процессорах. Отмечена эффективность распараллеливания вычислений в цифровом ПИД регуляторе.

### Ключевые слова:

Цифровой регулятор, ПИД регулятор, многоядерный процессор, цифровой сигнальный процессор, управляющее воздействие, параллельные вычисления.

При создании схем цифрового регулирования (рисунков 1) используются гибридные сигнальные процессоры компаний NXP Semiconductors (серии MC56F823xx, MC56F827xx и MC56F84xxx с ядром 56800EX (100/50 МГц); серии DSP5685x, MC56F80xx, MC56F81xx, MC56F824x, MC56F825x и MC56F83xx с ядром 56800E (120/60/40/32 МГц); серии DSP56F80x и DSP56F82x с ядром 56800 (80 МГц); ядра 56800EX, 56800E и 56800 сочетают функции микроконтроллеров и цифровых сигнальных процессоров [1]), Analog Devices Inc. (ADSP-SC582 с ядром сигнального процессора SHARC+ (450 МГц) и ядром ARM Cortex-A5 (450 МГц) [2]), Microchip Technology Inc. (серия dsPIC30F с ядром PIC30F (40 МГц), сочетающим функции микроконтроллеров и цифровых сигнальных процессоров [3]), Texas Instruments (66AK2E02 с ядром сигнального процессора C66x (1400 МГц) и ядром универсального процессора ARM Cortex-A15 (1400 МГц); OMAP-L138 и

OMAP-L132 с ядром сигнального процессора C674x (456/200 МГц) и ядром процессора ARM9 (456/200 МГц) [4]), АО НПЦ "ЭЛВИС" (1892BM3T с ядром сигнального процессора ELcore-14 (80 МГц) и ядром универсального процессора RISCcore32 (80 МГц); 1892BM2Я с ядром сигнального процессора ELcore-24 (80 МГц) и ядром универсального процессора RISCcore32 (80 МГц) [5]).

В последнее пятилетие на рынке микросхем отмечен рост объемов многоядерных гибридных сигнальных процессоров компаний Texas Instruments (процессоры KeyStone: 66AK2E05 с ядром сигнального процессора C66x (1400 МГц) и четырьмя ядрами процессоров ARM Cortex-A15 (1400 МГц); 66AK2H06 и 66AK2L06 с четырьмя ядрами сигнальных процессоров C66x (1200 МГц) и двумя ядрами ARM Cortex-A15 (1400/1200 МГц); 66AK2H12 и 66AK2H14 с восемью ядрами си-

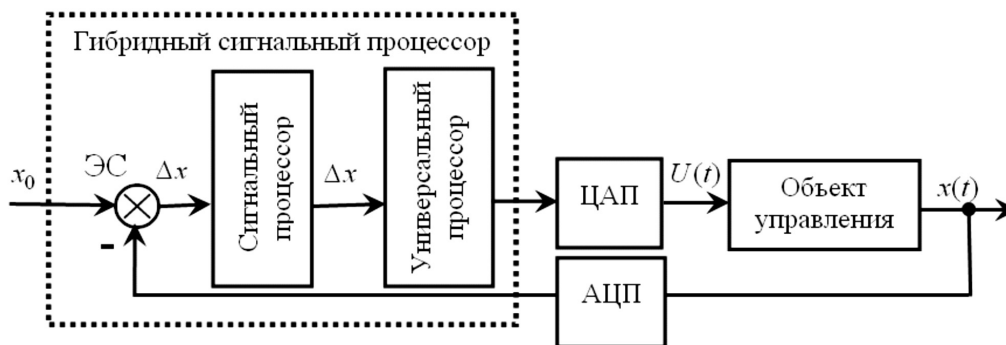


Рисунок 1 – Пример замкнутой схемы регулирования,

где: ЭС – элемент сравнения, ЦАП – цифро-аналоговый преобразователь, АЦП – аналогово-цифровой преобразователь;  $t$  – время ( $t = nT$ ;  $n = 0, 1, 2, \dots$ ;  $T$  – время реакции объекта управления);  $x_0$  – уставка,  $\Delta x$  – рассогласование (отклонение, ошибка) в текущий момент ( $\Delta x(t)$  пропорционален  $x_0 - x(t)$ ),

$U(t)$  – управляющее воздействие,  $x(t)$  – регулируемый параметр

гнальных процессоров C66x (1200 МГц) и четырьмя ядрами ARM Cortex-A15 (1400 МГц) [4]], Analog Devices Inc. (ADSP-SC583, ADSP-SC584, ADSP-SC587 и ADSP-SC589 с двумя ядрами сигнальных процессоров SHARC+ (450 МГц) и ядром ARM Cortex-A5 (450 МГц) [2]), ОАО НПЦ "ЭЛВИС" (1892ВМ5Я с двумя ядрами сигнальных процессоров ELcore-26 (100 МГц) и ядром универсального процессора RISCcore32 (100 МГц); 1892ВМ7Я с четырьмя ядрами сигнальных процессоров ELcore-28 (200 МГц) и ядром универсального процессора RISCcore32 (200 МГц); 1892ВМ10Я с сигнальным процессором с двухпроцессорным кластером ELcore-30М (250 МГц) и универсальным процессором RISCcore32 (250 МГц); 1892ВМ14Я с двумя ядрами сигнальных процессоров ELcore-30М (480 МГц) и двумя ядрами ARM Cortex-A9 (744 МГц) [5]), ЗАО "Эльбрус-2000" (Эльбрус-2С+ с четырьмя ядрами сигнальных процессоров Elcore-9 (500 МГц) и двумя универсальными ядрами архитектуры "Эльбрус" (500 МГц) [6]).

Если при использовании гибридных сигнальных процессоров с одним сигнальным процессором и одним универсальным процессором вопросы распараллеливания алгоритмов вычисления управляющих воздействий имели в большей степени показательный, чем прикладной характер, то при использовании многоядерных структур можно ожидать реальное распараллеливание алгоритмов регулирования для существенного сокращения времени формирования управляющих воздействий.

В настоящее время фактически отсутствуют методы и алгоритмы цифрового регулирования, структурно ориен-

тированные на использование многоядерных гибридных сигнальных процессоров, поэтому создание методологии и внедрение методов и алгоритмов такого типа является актуальным.

В работе предложены алгоритмы цифрового регулирования с параллельными вычислениями и верификацией в такте превентивной оценки реакции объекта управления и приведены примеры логических многоядерных структур, обрабатывающих соответствующие алгоритмы пропорционально-интегрально-дифференциального (ПИД) регулирования.

### Параллельный алгоритм смешанного цифрового ПИД регулирования для многоядерного гибридного сигнального процессора

В соответствии с методом смешанного регулирования (1 – выбрать математические модели цифрового ПИД регулирования  $M_1, \dots, M_k$ ; 2 – задать критерии оптимальности, настроечные параметры и уставку; 3 – для момента времени  $t = nT$ : рассчитать по выбранным математическим моделям  $M_1, \dots, M_k$  управляющие воздействия, зависящие от параметров процесса смешанного регулирования

$$U_{M_1}(nT, U_{\mathcal{K}}((n-1)T), \Delta x_{\mathcal{K}}(nT), \dots), \dots, \\ U_{M_k}(nT, U_{\mathcal{K}}((n-1)T), \Delta x_{\mathcal{K}}(nT), \dots);$$

смоделировать реакции объекта управления

$$x_{M_1}((n+1)T, U_{M_1}(nT), x_{A_K}(nT), \dots), \dots, \\ x_{M_k}((n+1)T, U_{M_k}(nT), x_{A_K}(nT), \dots);$$

рассчитать рассогласования

$$\Delta x_{M_1}((n+1)T, x_{M_1}((n+1)T), \dots), \dots, \\ \Delta x_{M_k}((n+1)T, x_{M_k}((n+1)T), \dots);$$

по минимальному рассогласованию с учетом критериев оптимальности выбрать соответствующее управляющее воздействие

$$U_{A_K}(nT) = \{U_{M_1}(nT), \dots, U_{M_k}(nT)\}$$

[7, 8]) алгоритм формирования управляющего воздействия для гибридного сигнального процессора с одним ядром сигнального процессора и четырьмя ядрами универсальных процессоров (например, контроллер 66AK2E05 фирмы Texas Instruments) на основе математических моделей ПИД регулирования с представлением интеграла по формулам "прямоугольников" ( $M_{IP}$ ) и "трапеций" ( $M_{TP}$ ) [9], с параллельными вычислениями и верификацией в такте превентивной оценки реакции объекта управления можно сформулировать следующим образом:

1. Задать настроечные параметры ( $k_P, k_I, k_D$ ), уставку  $x_0$  и критерии оптимальности, например:

$$|\Delta x_{M_1}((n+1)T)| = |\Delta x_{M_k}((n+1)T)| \Rightarrow \\ \Rightarrow U_{A_K}(nT) = U_{M_1}(nT),$$

$$|\Delta x_{M_1}((n+1)T)| < |\Delta x_{M_k}((n+1)T)| \Rightarrow \\ \Rightarrow U_{A_K}(nT) = U_{M_1}(nT),$$

$$|\Delta x_{M_1}((n+1)T)| > |\Delta x_{M_k}((n+1)T)| \Rightarrow \\ \Rightarrow U_{A_K}(nT) = U_{M_k}(nT).$$

2. Для момента времени  $t=nT$  по выбранным математическим моделям  $M_{IP}$  и  $M_{TP}$  рассчитать управляющие воздействия, смоделировать реакцию объекта управления и рассогласования, организовав параллельные вычисления:

– для ядра универсального процессора CPU0:

$$U_{M_1}(nT, U_{M_1}((n-1)T), \Delta x_{M_1}(nT), \dots), \dots, \\ U_{M_k}(nT, U_{M_k}((n-1)T), \Delta x_{M_k}(nT), \dots); \\ \Delta x_{M_1}((n-1)T), \Delta x_{M_k}((n-2)T) \Rightarrow \\ \Rightarrow x_{M_1}((n+1)T, x_{M_1}(nT), U_{M_1}(nT), \dots) \Rightarrow \\ \Rightarrow \Delta x_{M_1}((n+1)T, x_{M_1}((n+1)T));$$

– для ядра универсального процессора CPU1:

$$U_{M_1}(nT, U_{M_1}((n-1)T), \Delta x_{M_1}(nT), \\ \Delta x_{M_1}((n-1)T), \Delta x_{M_1}((n-2)T)) \Rightarrow \\ \Rightarrow x_{M_1}((n+1)T, x_{M_1}(nT), U_{M_1}(nT), \dots) \Rightarrow \\ \Rightarrow \Delta x_{M_1}((n+1)T, x_{M_1}((n+1)T)).$$

3. Использовать ядро универсального процессора CPU2 для верификации в такте превентивной оценки реакции объекта управления (вычисления минимального абсолютного значения ошибки с учетом критериев оптимальности):

$$\Delta x_{M_1}((n+1)T, x_{M_1}((n+1)T), \dots), \dots, \\ \Delta x_{M_k}((n+1)T, x_{M_k}((n+1)T), \dots);$$

и выбора подходящего управляющего воздействия:

$$\Delta x_{\min}((n+1)T) = |\Delta x_{M_1}((n+1)T)| \Rightarrow \\ \Rightarrow U_{A_K}(nT) = U_{M_1}(nT),$$

$$\Delta x_{\min}((n+1)T) = |\Delta x_{M_k}((n+1)T)| \Rightarrow \\ \Rightarrow U_{A_K}(nT) = U_{M_k}(nT).$$

На рисунке 2 представлен пример логической многоядерной структуры гибридного сигнального процессора с распределением параллельных вычислений по ядрам универсальных процессоров при смешанном регулировании.

### Параллельный алгоритма оптимального цифрового ПИД регулирования для многоядерного гибридного сигнального процессора

По методу оптимального регулирования (1 – выбрать математические модели цифрового регулирования  $M_1, \dots, M_k$ ; 2 – задать настроечные параметры и уставку; 3 – для момента времени  $t=nT$ : рассчитать по выбранным моделям  $M_1, \dots, M_k$  управляющие воздействия, каждое из которых зависит только от параметров своего процесса регулирования

$$U_{M_1}(nT, U_{M_1}((n-1)T), \Delta x_{M_1}(nT), \dots), \dots, \\ U_{M_k}(nT, U_{M_k}((n-1)T), \Delta x_{M_k}(nT), \dots);$$

смоделировать реакции объекта управления

$$x_{M_1}((n+1)T, U_{M_1}(nT), x_{M_1}(nT), \dots), \dots, \\ x_{M_k}((n+1)T, U_{M_k}(nT), x_{M_k}(nT), \dots);$$



1. Задать уставку  $x_0$  и настроечные параметры  $k_P, k_I, k_D$ .

2. Для момента времени  $t=nT$  по выбранным математическим моделям ( $M_{IP}, M_{TP}, M_C$ ) рассчитать управляющие воздействия, каждое из которых зависит только от параметров своего процесса, смоделировать реакции объекта управления и рассогласования, организовав параллельные вычисления в ядрах универсальных процессоров:

– для ядра универсального процессора CPU0:

$$\begin{aligned} & U_{M_{\text{IP}}} (nT, U_{M_{\text{IP}}} ((n-1)T), \Delta x_{M_{\text{IP}}} (nT), \\ & , \Delta x_{M_{\text{IP}}} ((n-1)T), \Delta x_{M_{\text{IP}}} ((n-2)T)) \Rightarrow \\ & \Rightarrow x_{\text{IP}} ((n+1)T, x_{\text{IP}} (nT), U_{\text{IP}} (nT), \dots) \Rightarrow \\ & \Rightarrow \Delta x_{\text{IP}} ((n+1)T, x_{\text{IP}} ((n+1)T)); \end{aligned}$$

– для ядра универсального процессора CPU1:

$$\begin{aligned} & U_{M_{\text{TP}}} (nT, U_{M_{\text{TP}}} ((n-1)T), \Delta x_{M_{\text{TP}}} (nT), \\ & , \Delta x_{M_{\text{TP}}} ((n-1)T), \Delta x_{M_{\text{TP}}} ((n-2)T)) \Rightarrow \\ & \Rightarrow x_{\text{TP}} ((n+1)T, x_{\text{TP}} (nT), U_{\text{TP}} (nT), \dots) \Rightarrow \\ & \Rightarrow \Delta x_{\text{TP}} ((n+1)T, x_{\text{TP}} ((n+1)T)); \end{aligned}$$

– для ядра универсального процессора CPU2:

$$\begin{aligned} & U_{M_C} (nT, U_{M_C} ((n-1)T), \Delta x_{M_C} (nT), \\ & , \Delta x_{M_C} ((n-1)T), \Delta x_{M_C} ((n-2)T)) \Rightarrow \\ & \Rightarrow x_{\text{C}} ((n+1)T, x_{\text{C}} (nT), U_{\text{C}} (nT), \dots) \Rightarrow \\ & \Rightarrow \Delta x_{\text{C}} ((n+1)T, x_{\text{C}} ((n+1)T)). \end{aligned}$$

3. Использовать ядро CPU3 для реализации алгоритма координации функционирования и верификации в такте превентивной оценки реакции объекта управления:

$$\Delta x_{\min} ((n+1)T) = \min \left\{ \left| \Delta x_{M_{\text{IP}}} ((n+1)T) \right|, \left| \Delta x_{M_{\text{TP}}} ((n+1)T) \right|, \left| \Delta x_{M_C} ((n+1)T) \right| \right\}$$

для выбора подходящего управляющего воздействия:

$$\begin{aligned} \Delta x_{\min} ((n+1)T) &= \left| \Delta x_{M_{\text{IP}}} ((n+1)T) \right| \Rightarrow \\ \Rightarrow U_{>B} (nT) &= U_{M_{\text{IP}}} (nT), \end{aligned}$$

$$\begin{aligned} \Delta x_{\min} ((n+1)T) &= \left| \Delta x_{M_{\text{TP}}} ((n+1)T) \right| \Rightarrow \\ \Rightarrow U_{>B} (nT) &= U_{M_{\text{TP}}} (nT), \end{aligned}$$

$$\begin{aligned} \Delta x_{\min} ((n+1)T) &= \left| \Delta x_{M_C} ((n+1)T) \right| \Rightarrow \\ \Rightarrow U_{>B} (nT) &= U_{M_C} (nT). \end{aligned}$$

Логическая многоядерная структура гибридного сигнального процессора с распределением параллельных вычислений по ядрам универсальных процессоров при оптимальном регулировании представлена на **рисунке 3**.

#### Основные результаты

1. предложены параллельные алгоритмы цифрового ПИД регулирования на основе традиционной континуальной модели регулирования, отличающиеся применением методик смешанного и оптимального регулирования с организацией параллельных вычислений для процессорных ядер многоядерного гибридного сигнального процессора и верификацией в такте превентивной оценки реакции объекта управления;

2. предложены логические структуры цифрового регулятора для реализации предложенных параллельных алгоритмов цифрового ПИД регулирования для многоядерного гибридного сигнального процессора, отличающиеся верификацией в такте превентивной оценки реакции объекта управления;

3. распараллеливание вычислений в ПИД регуляторе может существенно сократить время формирования управляющих воздействий.

Работа выполнена при поддержке гранта ФГБОУ ВО "ПГУ" по теме "Разработка программной системы поддержки процесса управления в предаварийных состояниях для восстановления нормальной работы", приказ №7-н/26 от 23.10.2013 г.

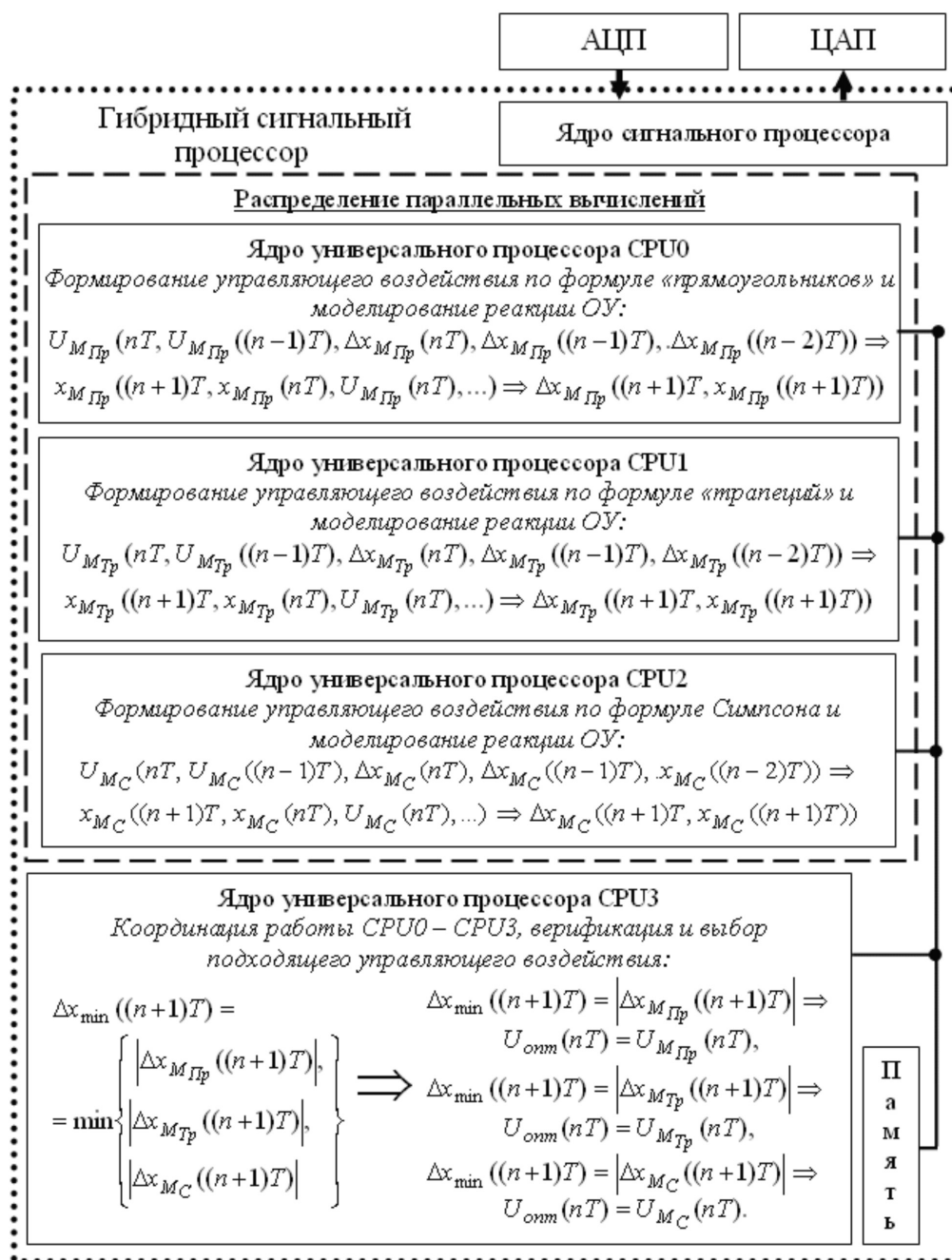


Рисунок 3 - Распределение параллельных вычислений по ядрам гибридного сигнального процессора при оптимального регулирования (на примере одного ядра сигнального процессора и четырех ядер универсальных процессоров в контроллере 66AK2E05 фирмы Texas Instruments)

ЛИТЕРАТУРА

1. NXP Semiconductors. Digital Signal Controllers [Электронный ресурс]. – Режим доступа: [http://www.nxp.com/products/microcontrollers-and-processors/more-processors/dsp-dsc/dscs:DSC\_HOME] (дата обращения 09.01.2016).
2. Analog Devices. Процессоры SHARC [Электронный ресурс]. URL: http://www.analog.com/ru/products/processors-dsp/sharc.html#sharc-processors (дата обращения 09.01.2016).

3. Microchip Technology Inc. dsPIC30F: Versatile 5V DSCs [Электронный ресурс]. URL: <http://www.microchip.com/pagehandler/en-us/family/16bit/architecture/dspic30f.html?fi=3> (дата обращения 09.01.2016).
4. Texas Instruments. C6000 Multicore DSP + ARM® SoC [Электронный ресурс]. URL: [http://www.ti.com/lscds/ti/processors/dsp/c6000\\_dsp-arm/overview.page](http://www.ti.com/lscds/ti/processors/dsp/c6000_dsp-arm/overview.page) (дата обращения 09.01.2016).
5. АО НПЦ "ЭЛВИС". Цифровые сигнальные процессоры [Электронный ресурс]. URL: <http://multicore.ru/index.php?id=27> (дата обращения 09.01.2016).
6. ЗАО "Эльбрус-2000". Микропроцессор Эльбрус-2С+ [Электронный ресурс]. URL: [http://www.mcst.ru/elbrus\\_2c\\_plus](http://www.mcst.ru/elbrus_2c_plus) (дата обращения: 09.01.2016).
7. Раков В. И. Захарова О. В. Моделирование цифрового регулятора с превентивной оценкой погрешности на каждом шаге дискретизации. Часть 2: Прецизионное дискретное регулирование // Промышленные АСУ и контроллеры. 2014. № 6. С. 46–53.
8. Захарова О. В. Новая алгоритмическая модель для традиционного подхода цифрового регулирования // Фундаментальные исследования. 2015. № 8, часть 2. С. 274–280. URL: [http://www.rae.ru/fs/?section=content&op=show\\_article&article\\_id=10008153](http://www.rae.ru/fs/?section=content&op=show_article&article_id=10008153) (дата обращения: 15.01.2016).
9. Захарова О. В. Формула ПИД-регулятора для АЛУ непосредственного формирования // Информационные системы и технологии. 2012. № 2 (70). С. 11–25.
10. Захарова, О. В. Новый метод формирования управляющих воздействий для ПИД регулятора // Современные наукоемкие технологии. 2015. № 12, часть 4. С. 595–600.

© О.В. Захарова, ( [cvaig@mail.ru](mailto:cvaig@mail.ru) ), Журнал «Современная наука: актуальные проблемы теории и практики»,

